

THIN-FILM TRANSISTOR

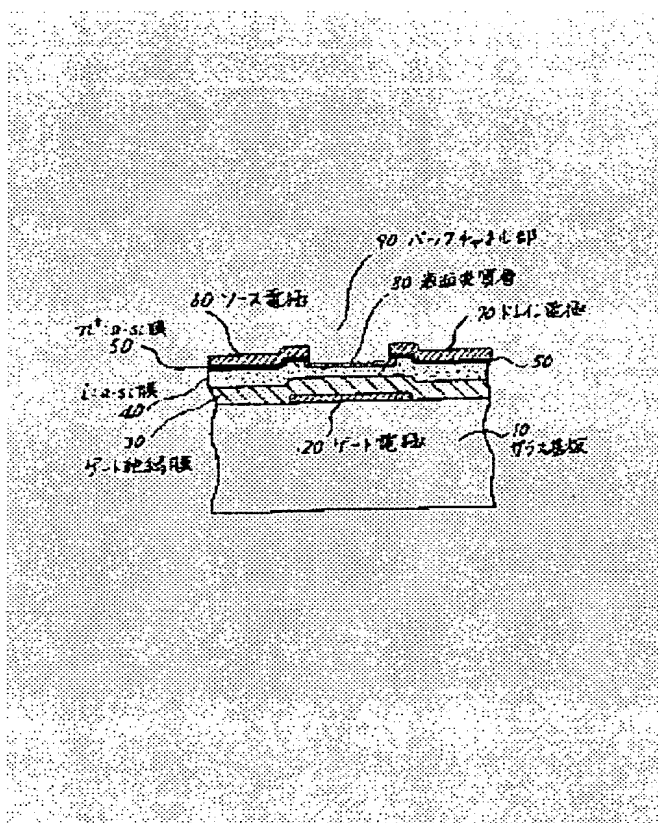
Patent number: JP1120070
Publication date: 1989-05-12
Inventor: NOGUCHI KESAO
Applicant: NIPPON ELECTRIC CO
Classification:
- international: H01L29/786; H01L29/66; (IPC1-7): H01L27/12; H01L29/78
- european: H01L29/786
Application number: JP19870278914 19871102
Priority number(s): JP19870278914 19871102

Report a data error here

Abstract of JP1120070

PURPOSE: To obtain a structure of TFT whose stability and reproducibility of a characteristic is good and whose reliability is high by forming a back- channel transmutation layer which has transmuted the surface of i-layer amorphous silicon in a back-channel part between a source electrode and a drain electrode so as to contain at least one out of nitrogen, oxygen and carbon.

CONSTITUTION: A gate electrode 20, a gate insulating film 30, an amorphous silicon film 40, a source electrode 60 and a drain electrode 70 are formed in this order on an insulating substrate 10. In this reverse staggered amorphous silicon thin-film transistor, a back-channel transmutation layer 90 which has positively transmuted the surface of the i-layer amorphous silicon 40 in a back- channel part 90 between the source electrode 60 and the drain electrode 70 so as to contain at least one out of nitrogen, oxygen, carbon and boron is formed. For example, said surface transmutation layer 80 is formed in such a way that one part of an n<+> layer and an i-layer of a-Si films in the back- channel part is exposed to an oxygen plasma inside the same apparatus without breaking a vacuum as a process following a dry etching operation when the part to be dug by the dry etching operation.



Data supplied from the esp@cenet database - Worldwide

BEST AVAILABLE COPY

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平1-120070

⑤ Int. Cl.

H 01 L 29/78
27/12

識別記号

3 1 1

庁内整理番号

X-7925-5F
7514-5F

④ 公開 平成1年(1989)5月12日

審査請求 未請求 発明の数 1 (全4頁)

⑬ 発明の名称 薄膜トランジスタ

⑭ 特 願 昭62-278914

⑮ 出 願 昭62(1987)11月2日

⑯ 発 明 者 野 口 今 朝 男 東京都港区芝5丁目33番1号 日本電気株式会社内
 ⑰ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
 ⑱ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

薄膜トランジスタ

2. 特許請求の範囲

絶縁基板上にゲート電極、ゲート絶縁膜、アモルファスシリコン膜、ソース及びドレイン電極の順に設けられた逆スタガード・アモルファスシリコン薄膜トランジスタにおいて、ソース電極とドレイン電極間のバックチャネル部のi層アモルファスシリコン表面を窒素、酸素、炭素、珪素の少なくとも1種を有するように積極的に変質させたバックチャネル変質層を有することを特徴とする薄膜トランジスタ。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はアモルファスシリコンを用いた逆スタガード構造薄膜トランジスタの構造に関し、特に

安定性が良く高信頼が得られるバックチャネルの構造を有するアモルファスシリコン薄膜トランジスタに関する。

〔従来の技術〕

水素化などしたアモルファスシリコン(a-Si)を用いた薄膜トランジスタ(TFT)は、低温で大面積基板に形成できることなどから、長尺光センサーや大面積大容量液晶表示のスイッチング素子をガラス等の低価格基板に多数素子集積した形で実用化されつつある。

a-SiTFTには、基板上への薄膜の積層順の違いから、順スタガード及び逆スタガードの典型的な構造が知られている。このうち、製造上の利点及びTFT特性の安定性から逆スタガード構造が採用される場合が多い。

逆スタガードa-SiTFTの構造の一例を第3図に示す。ガラス基板10の上にNiCrのゲート電極20を設け、その上にSiO₂又はSiN_xのゲート絶縁膜30を設け、さらにa-Si膜のi層40を設け、Cr, Al, ITOな

特開平1-120070(2)

どの単層膜もしくは多層膜によるソース電極60及びドレイン電極70がゲート電極20の両側の上面に設けられ、ソース電極60及びドレイン電極70下にはオーミック性を良くする目的でa-Si膜のn⁺層を設けられるのが一般的な構造である。

〔発明が解決しようとする問題点〕

上述した逆スタガード構造a-Si・TFETは第3図に示すように、ソース電極60とドレイン電極70との間のバックチャネル部90が最上表面に位置している。

この結果、バックチャネル部90はi層a-Si表面803が露出した構造となる。そのため、表面汚染が直接的にi層a-Si表面803の汚染原因となり、バックチャネル90のポテンシャル変化をもたらす要因となる。したがって、従来の逆スタガード構造a-Si・TFETは特性の安定性が悪く、信頼性に乏しい欠点を有していた。

なお、この解決策の一例として、バックチャネル部にパッシベーション膜としてSiO_x又は

点を有していた。

そこで、本発明の目的は特性の安定性や再現性などが良く、高い信頼性を有する薄膜トランジスタの構造を提供することにある。

〔問題点を解決するための手段〕

本発明の薄膜トランジスタは、絶縁基板上にゲート電極、ゲート絶縁膜、アモルファスシリコン膜、ソース及びドレイン電極の順に設けられた逆スタガード・アモルファスシリコン薄膜トランジスタにおいて、ソース電極とドレイン電極間のバックチャネル部のi層アモルファスシリコン表面を窒素、酸素、炭素の少なくとも1種を有するように積極的に変質させたバックチャネル変質層を有している。

〔実施例〕

以下、本発明について図面を参照して説明する。

第1図は本願発明の一実施例の構造を示す模式的な断面図である。

第1図において、硼硅酸ガラス基板10上にNiCrによるゲート電極20が1500Å厚で

SiN_x膜を形成し、汚染を防止し安定化を計ることが考えられる。しかしながら、一般的製造プロセスにおいてはソース電極及びドレイン電極を形成する工程やa-Si膜のn⁺層を除去してバックチャネル部を形成する工程と前述のパッシベーション膜を形成する工程とは全く異なる製造設備を用いて行わなければならない、分離した工程となる。

そのため、パッシベーション膜を形成する前にa-Si膜のi層が露出したバックチャネル部が形成され、かつ、外気及び作業環境下に曝される結果となり、完全なパッシベーション効果が得られ難い問題を有していた。

例えば、第4図(b)に示したように、初期TFET特性42に比較し、従来品はバックチャネル形成後のパッシベーション膜形成後のTFET特性、もしくは例えば液晶表示素子組立後分解して検査した時のTFET特性44は、OFF領域の電流値が著しく大きくなり、いわゆる表示素子のスイッチング特性として不十分なものになってしまう欠

パターンニングされて設けられている。この上にプラズマCVDにより窒化シリコン(SiN_x)膜が3000Å厚形成されてゲート絶縁膜30が設けられている。同時にプラズマCVDにより水素化a-Si膜のi層40 2000Åとn⁺層50 200Åとが順次形成され、その上にソース電極60とドレイン電極70とがITO1000Å及びCr2000Åの積層によりパターンニングされて設けられている。ここで、バックチャネル部90は、a-Si膜のn⁺層が除かれ、i層の一部も取り除かれたi層表面は、酸素、炭素などを取り込んだa-Si膜の表面変質層80に変化させた構造となっている。

かかる表面変質層80はバックチャネル部a-Si膜のn⁺層及びi層の一部をドライエッチングにより掘り込む際、ドライエッチングに続く工程として真空を破らず同一装置内で酸素プラズマ中に曝らされて、プラズマにより発生した酸素ラジカルやレジストからプラズマにより発生した炭素、水素などのラジカルから表面が変質させられ

特開平1-120070(3)

て出来る。

変質層の製造方法は問わないが、望しくは、エッチングに続く工程として同時に行う構造が有利である。もしくは、分離する場合は表面汚染の影響を軽減するためには変質層とi層の界面を表面より深くするために変質層を比較的厚めに形成する必要がある。

このように本発明では表面汚染が起きない内に表面を安定な変質層とするか又は汚染表面とは別な深さの位置に、つまり変質層との界面にi層との界面を設けるため、極めて安定なTFT特性が得られる。例えば、第4図(a)に示したTFT特性のように、(b)に比較して示した従来の特性に比べ、初期特性42と、液晶表示素子組立後分解して検査した本発明を実施したTFT特性41とは、ほとんど劣化や変化せず、安定に再現性良い特性が高い歩留りで得られることがわかった。

第2図は本願発明の他の実施例の構造を示す模式的な断面図である。

第2図において、基本的には第1図の構造と同

とは実施例1で述べた通りである。

ところで、本実施例のようにバックチャネル部90の上にさらに層間絶縁膜100や遮光膜110が設けられる構造の場合は、表面変質層80は珪素もその一部に含むことが効果的であることがわかった。これはバックチャネル部90に上記膜が形成されると、より明確な電流パスとなりうるバックチャネルが形成されるためである。ところが、珪素をその一部に含む変質層が形成されていると、a-Si膜のi層中に形成されるチャネルがより深い位置に形成され、上記膜との界面の影響を受けにくくなるためと考えられる。

その珪素をも含ませた変質層を設けることは、前述のプラズマ放電中に曝らす際に、雰囲気として、例えば窒素ガス中にジボランを混合したガスを用いて行うことができる。

〔発明の効果〕

以上説明したように本発明は、バックチャネル部のa-Si膜のi層表面を酸素、窒素、炭素、珪素の少なくとも1つ以上を含む変質層とする構

一であるが、表面変質層80は窒素と炭素などを取り込んだ水素化a-Si膜のi層表面である構造であり、さらに、遮光膜110を設けるための層間絶縁膜100がその間に設けられている。

遮光膜110はa-Siは光感度が高く、可視光領域で光電流を生成するのにを防ぐ目的で設けられるもので、周知の技術である。これにともなっており、層間絶縁膜100が必要となり、SiO_xやSi₃N₄などが設けられるのが一般的である。しかし、従来は、これらの層間絶縁膜や遮光膜を設けるとTFT特性が初期値より大幅に変動することが多い。

これに比べ、本発明を実施した表面変質層80を設けた層に層間絶縁膜100、遮光膜110を設けた構造では、特性が安定して高い信頼性を有していた。なお、窒素と炭素を取り込んだ変質層はドライエッチングによるn⁺層除去の後に続いて、例えばアンモニアのプラズマ放電中にn⁺層除去のためのレジストパターンが付いたまま曝らすことで達成できる。又、他の方法でもよいこ

造によって、安定性が良く、高い信頼性の薄膜トランジスタを歩留り良く生産できる産業上の利点を有する。

これは、バックチャネルのa-Si膜のi層界面を実質的にその表面でなくi層中に作り込むことのできる効果である。

4. 図面の簡単な説明

第1図は本発明の一実施例を示した薄膜トランジスタの模式的な断面図、第2図は本発明の他の実施例を示した薄膜トランジスタの模式的な断面図、第3図は従来の薄膜トランジスタの断面図、第4図(a)(b)は本発明品及び従来品の初期TFT特性と分解検査時のTFT特性のそれぞれの比較を示す図である。

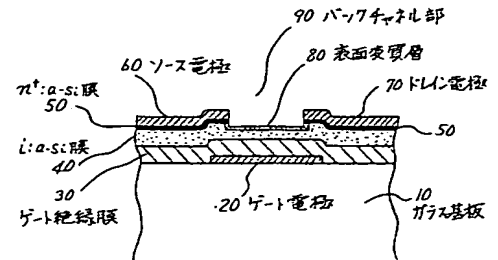
10……ガラス基板、20……ゲート電極、30……ゲート絶縁膜、40……i: a-Si膜、50……n⁺: a-Si膜、60……ソース電極、70……ドレイン電極、80……表面変質層、90……バックチャネル部、803……i: a-

特開平1-120070(4)

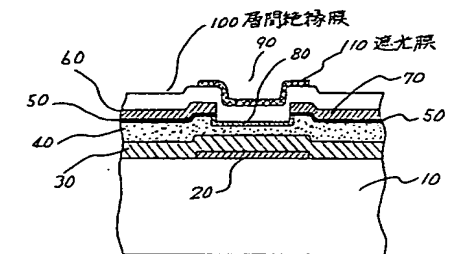
Si表面、100……層間絶縁膜、110……遮光膜。

代理人 弁理士 内 原 晋

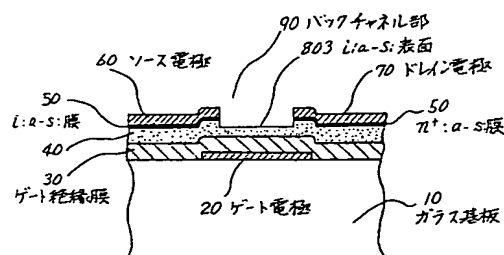
第 1 図



第 2 図



第 3 図



第 4 図

